

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06249953 A**(43) Date of publication of application: **28.09.93**

(51) Int. Cl. **G09G 5/36**
G06F 15/62
G06F 15/66
G06F 15/72
G09G 6/02
H04N 5/265

(21) Application number: **04316720**(22) Date of filing: **28.11.92**(30) Priority: **03.12.91 JP 03318430**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **KAI NAOYUKI**

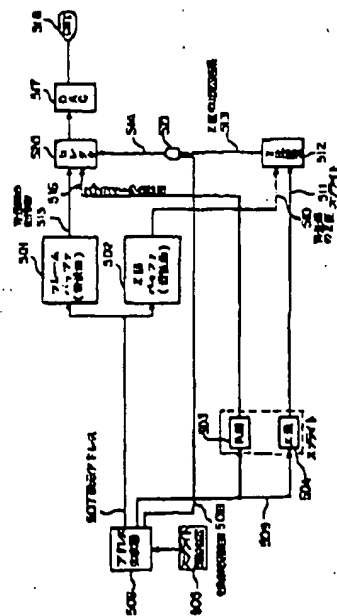
(54) IMAGE DISPLAY DEVICE

(57) Abstract:

PURPOSE: To provide a compact high-speed three-dimensional image display device with small-scale structure at low cost by adding a depth value (z) buffer of background image display information to the frame buffer of a three-dimensional animation as a three-dimensional image high speed display means, and using this to represent the background of the animation and the longitudinal display target of a sprite.

CONSTITUTION: The color value and z-value of a background image are held in a frame buffer 501 and a z-value buffer 502, respectively, and the color value and z-value of a sprite in a memory 503 and a memory 504, respectively. The value of a sprite starting position displayed on a CRT 508 is set in a resistor 505. The z-value 510 of the background image and the z-value 511 of the sprite are compared to each other by a comparator 512, the AND operation of a comparison result 503 and an area judging result 506 is performed in an AND circuit 521. By using the result as a selection signal 514, either the color information 515 on the background image or the color information 516 on the sprite is selected by a selector 520 and transmitted to the CRT 518 through a digital analog converter 517.

COPYRIGHT: (C)1993,JPO&Japlo



Best Available Copy

(18)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-249953

(43)公開日 平成5年(1993)8月28日

(51)IntCl [*]	機別記号	庁内整理番号	FI	技術表示箇所
G 0 9 G 5/38		9177-5G		
G 0 6 F 15/62	3 4 0	8125-5L		
	15/68	4 5 0	8420-5L	
	15/72	4 2 0	9192-5L	
G 0 9 G 5/02		9175-5G		

審査請求 未請求 請求項の数7(全 21 頁) 最終頁に続く

(21)出願番号 特願平4-316720

(22)出願日 平成4年(1992)11月28日

(31)優先権主張番号 特願平3-318430

(32)優先日 平3(1991)12月3日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 甲斐 直行

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

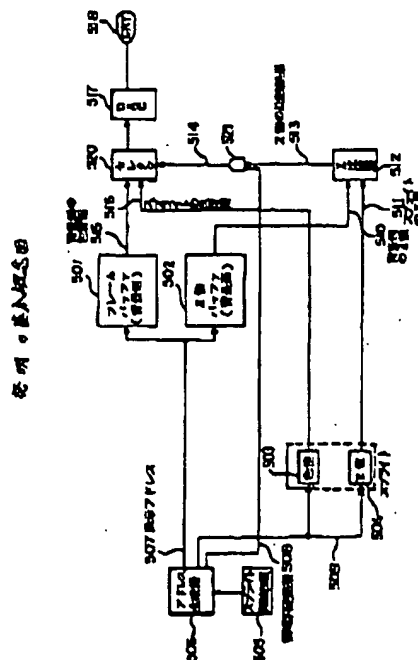
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 画像表示装置

(57)【要約】

【目的】 比較的小規模なハードウェア構成で安価に高速に動作する3次元画像表示装置を提供する。

【構成】 背景画を格納するフレームバッファとそのZ値を格納するZバッファと複数のアニメーションの対象を表わす“3次元スプライト”を格納する複数のスプライトバッファおよびそれらのZ値バッファを備え、該スプライトバッファはフレームバッファのサイズよりは小さい。表示の際に通常のスプライト処理と同じく表示のスクリーンライン上に現われるスプライトデータを取り込み、各スプライトデータとフレームデータとのZ値の大小比較を行い、前にあるものを表示データとする。



(2)

特開平5-249853

1

【特許請求の範囲】

【請求項1】 画像情報を格納するフレームバッファと、

該画像情報の奥行き値を格納するZバッファと、
複数の動画情報を格納する複数の動画バッファと、
該動画情報の奥行き値を格納する動画奥行きバッファと、

前記画像情報および動画情報を表示する表示手段と、
前記画像情報および動画情報を前記表示手段上の所定のアドレスに表示する際、該アドレスに対応した前記Zバッファ内の画像情報の奥行き値および複数の前記動画奥行きバッファ毎の動画情報の奥行き値とを比較する比較手段と、

前記比較手段における比較結果に基づいて、前記フレームバッファ内の画像情報、複数の前記動画バッファ内の動画情報の何れかを前記表示手段へ転送する機能を持つ制御手段と、から構成された画像表示装置。

【請求項2】 請求項1に記載の画像表示装置は、さらに各前記動画バッファ内の動画情報を前記表示手段内の所定アドレス上に表示するためのアドレスを格納する位置レジスタを備え、該レジスタの内容を書き換えることにより、該動画バッファ内の動画情報を変更することなく、該表示手段内の異なるアドレス上に該動画情報を表示する機能を有する画像表示装置。

【請求項3】 前記比較手段は、前記奥行き値を比較する際に、前記画像情報あるいは前記動画情報の何れかに所定のオフセット値を加算した後比較動作を行なうことを特徴とする請求項1に記載の画像表示装置。

【請求項4】 前記制御手段は、前記表示手段に表示される前記画像情報および動画情報とそれらの奥行き値とをフィードバックして前記フレームバッファおよび前記Zバッファに格納する機能を持つことを特徴とする請求項1に記載の画像表示装置。

【請求項5】 請求項1に記載の画像表示装置は、さらに前記表示手段の1ラインに対応する前記フレームバッファ内の画像情報を格納する画像ラインバッファと該画像情報に関する前記Zバッファ内の奥行き値のZ値ラインバッファとを有し、

前記動画バッファ内の1ライン分の情報を読みだし、該動画情報に対応する前記動画奥行きバッファ内のZ値と該Z値ラインバッファ内のZ値とを比較し、視点側にある情報を該画像ラインバッファ内に格納し、この動作を該動画バッファの個数分繰り返した後、該画像ラインバッファ内の情報を前記表示手段へ送信する機能を持つことを特徴とする画像表示装置。

【請求項6】 前記画像ラインバッファは少なくとも2つ設けられ、一方の画像ラインバッファ内の情報が前記表示手段に転送されているとき、他方の画像ラインバッファで次の1ライン分の表示データが作成されている機能を持つことを特徴とする請求項5に記載の画像表示装

2

置。

【請求項7】 画像情報または動画情報を格納する複数のフレームバッファと、

該画像情報または動画情報の奥行き値を格納する複数のZバッファと、

前記フレームバッファおよびZバッファに対応し設けられた複数のプロセッサと、

前記画像情報および動画情報を表示する表示手段とから成り、

10 複数の前記プロセッサは、複数段に接続され、
各プロセッサは、前記画像情報および動画情報を前記表示手段上の所定アドレスに表示する際、該アドレスに対応した前記Zバッファ内の奥行き値と前段のプロセッサから入力された前記画像情報および動画情報の奥行き値とを比較する比較手段と、

前記比較手段における比較結果に基づいて、前記フレームバッファ内の画像情報、複数の前記動画バッファ内の動画情報の何れかを次段のプロセッサへ転送する制御手段と、を備えていることを特徴とする画像表示装置。

20 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、3次元画像コンピュータグラフィックス分野に用いられる画像表示装置に関するもので、特に、3次元画像によるアニメーションを高速度に表示する画像表示装置に関するものである。

【0002】

【従来の技術】以下、従来技術を説明する。先ず第1の従来技術を説明する。

【0003】従来技術1：Zバッファアルゴリズム

3次元画像を作成する際には、物体が前後に重なった時に、最も手前側にあるものだけ表示する処理（陰面消去）が必要である。この手法として、Zバッファアルゴリズムがある。この手法では、画像データを保持するフレームバッファと別に更にその点に書き込まれた点のZ方向の座標値を保持するバッファであるZバッファを持っている。フレームバッファ、ZバッファともにX、Y座標(x, y)でアドレッシングができるものとする。

【0004】フレームバッファ、Zバッファに書き込まれるピクセルの情報は、x, y座標(x, y)の他に、色情報c、奥行き方向の座標zを持つ。

【0005】座標(x, y)でのZバッファの値をz(x, y)、新たに書き込もうとする点のZバッファ値をzとすると、もし

$z \leq z(x, y)$

であれば、新たに書き込もうとする点は既に書き込まれている点よりも手前の物体のものであることがわかり

(zが小さい方が視点に近い側であると定義されているものとする)、その場合は、フレームバッファc(x, y)、Zバッファ(x, y)の内容を以下の様に更新する。

50

(3)

特開平5-249953

3

【0008】 $c(x, y) \leftarrow c$

$z(x, y) \leftarrow z$

ここで、 c, z は座標 (x, y) へ新たに書き込もうとする点のフレームバッファ値、 z バッファ値とする。

【0007】もし、

$z > z(x, y)$

であれば、新たに書き込もうとしている点のデータ c, z は、既に書き込まれている点のデータよりも、後ろ側（視点より遠い側）のものであり、書き込む必要がないことを示している。従って、この場合は、フレームバッファ $c(x, y)$ 、 z バッファ $z(x, y)$ の値をとものに更新しない。

【0008】この z バッファアルゴリズムの特徴は、各物体に対応する点の処理の順番が任意であることである。どの順番で発生しても各座標 (x, y) の点について、最終的には一番手前の物体の色情報が各バッファ内に残ることになる。

【0009】 z バッファアルゴリズムを用いて3次元画像を作成するのに良く用いられるのは、シェーディングである。シェーディングでは、物体の表面は小さな多角形で構成されたものとして近似される。各多角形について、その多角形内部の点の z 座標、色値を全て計算することが必要になり、通常は1つの画像の中にある物体を構成する多角形の個数は数千から数万個になるので、画像の生成には長い処理時間を要することになる。

【0010】特に、3次元画像の中で、一部の物体のみ (x, y) 及び z 方向に移動するようなアニメーションの場合であっても、毎回全ての物体のデータを再計算して、上の手順で画像を生成する必要があることが問題である。

【0011】以下に第2の従来技術を図2、3を用いて説明する。

【0012】従来技術2：スプライト手法

画像の中で一部のみが高速に移動するようなアニメーションを可能にする手法として、スプライト手法がある。

【0013】このスプライト手法では、フレームバッファ2-2とは別に、それよりも小さな大きさの動画用メモリ（スプライトメモリ）2-5を複数個持っておく。各スプライトメモリ2-5は順番で表示上の前後関係（表示上の優先度）が定められている。またスプライトメモリ2-5はフレームバッファ2-2よりも前（視点に近い側）にあるものと定義されている。さらに、各スプライトメモリ2-5が、フレームバッファのどこに位置付けられるかという情報2-1も付加されている。

【0014】フレームバッファ2-2の内容を例えば表示201のように、CRTへ表示する際に、同時にスプライトメモリ2-5の内容も読みだし、スプライトが表示される領域104、105については、フレームバッファ2-2の内容の代わりに、スプライトメモリ2-5の内容をCRTに送る。複数のスプライトが重なる場合

4

は、上記した表示上の優先度に応じて一番手前のスプライトのデータ104をCRTに送る。その結果、CRT上には図2に示す様な画像203が表示される。

【0015】この手法により、いわゆる2次元画像については、高速な動画処理が可能となる。しかし、この方法では、画像の表示上の前後関係については、スプライト単位に優先順位が決められているため、でこぼこの形状に応じて一部分が前に出ているような3次元的な画像を構成することができない。

【0016】

【発明が解決しようとする課題】従来技術1で説明した z バッファを用いた描画手法では毎回毎回新たに、背景画像を生成させなければならないため、背景画像表示推移速度が遅く所要時間がかかるという欠点がある。従来技術2で説明した2次元画像表示でのスプライトを用いる手法は高速で描画できるが背景画像並びにスプライトによる表示情報の前後関係（優先順位）がスプライト単位で決められているため画像の凸凹・形状に相応して形状の1部が前に出るような3次元画像表示を行なうことが出来ないという問題があった。そこで本発明では、高速で動作する3次元画像表示装置を提供することを目的とする。言い換えると、ハードウェア的にコンパクトでデバイスの構成が比較的小規模でかつ安価に実現可能な高速3次元画像表示装置を提供することを目的としている。さらに、ゲーム機等に应用可能なアニメーションの表示動作を大巾に向上させた3次元画像表示装置を提供することを目的としている。

【0017】

【課題を解決するための手段】上記した目的を実現するため、本発明の画像表示装置は以下の特徴を有している。

【0018】請求項1に記載の画像表示装置は、画像情報を格納するフレームバッファと、該画像情報の奥行き値を格納する z バッファと、複数の動画情報を格納する複数の動画バッファと、該動画情報の奥行き値を格納する動画奥行きバッファと、前記画像情報および動画情報を表示する表示手段と、前記画像情報および動画情報を前記表示手段上の所定のアドレスに表示する際、該アドレスに対応した前記 z バッファ内の画像情報の奥行き値および複数の前記動画奥行きバッファ毎の動画情報の奥行き値とを比較する比較手段と、前記比較手段における比較結果に基づいて、前記フレームバッファ内の画像情報、複数の前記動画バッファ内の動画情報の何れかを前記表示手段へ転送する機能を持つ制御手段と、から構成されていることを特徴としている。

【0019】請求項2に記載の画像表示装置は、請求項1に記載の画像表示装置において、さらに各前記動画バッファ内の動画情報を前記表示手段内の所定アドレス上に表示するためのアドレスを格納する位置レジスタを備え、該レジスタの内容を書き換えることにより、該動画

(4)

特開平5-249959

5

バッファ内の動画情報を変更することなく、該表示手段内の異なるアドレス上に該動画情報を表示する機能を有することを特徴としている。

【0020】請求項3に記載の画像表示装置は、請求項1に記載の画像表示装置において、前記比較手段は、前記実行値と比較する際に、前記画像情報あるいは前記動画情報の何れかに所定のオフセット値を加算した後比較動作を行なうことを特徴としている。

【0021】請求項4に記載の画像表示装置は、請求項1に記載の画像表示装置において、前記制御手段は、前記表示手段に表示される前記画像情報および動画情報とそれらの実行値とをフィードバックして前記フレームバッファおよび前記 z バッファに格納する機能を持つことを特徴としている。

【0022】請求項5に記載の画像表示装置は、請求項1に記載の画像表示装置において、さらに前記表示手段の1ラインに対応する前記フレームバッファ内の画像情報を格納する画像ラインバッファと該画像情報に関する前記 z バッファ内の実行値の z 値ラインバッファとを有し、前記動画バッファ内の1ライン分の情報を読みだし、該動画情報に対応する前記動画実行値バッファ内の z 値と該 z 値ラインバッファ内の z 値とを比較し、視点側にある情報を該画像ラインバッファ内に格納し、この動作を該動画バッファの個数分繰り返した後、該画像ラインバッファ内の情報を前記表示手段へ送信する機能を持つことを特徴としている。

【0023】請求項6に記載の画像表示装置は、請求項5に記載の画像表示装置において、前記画像ラインバッファは少なくとも2つ設けられ、一方の画像ラインバッファ内の情報が前記表示手段に転送されているとき、他方の画像ラインバッファで次の1ライン分の表示データが作成されている機能を持つことを特徴としている。

【0024】請求項7に記載の画像表示装置は、画像情報または動画情報を格納する複数のフレームバッファと、該画像情報または動画情報の実行値を格納する複数の z バッファと、前記フレームバッファおよび z バッファに対応し設けられた複数のプロセッサと、前記画像情報および動画情報を表示する表示手段とから成り、複数の前記プロセッサは、複数の段に接続され、各プロセッサは、前記画像情報および動画情報を前記表示手段上の所定アドレスに表示する際、該アドレスに対応した前記 z バッファ内の実行値と前段のプロセッサから入力された前記画像情報および動画情報の実行値とを比較する比較手段と、前記比較手段における比較結果に基づいて、前記フレームバッファ内の画像情報、複数の前記動画バッファ内の動画情報の何れかを次段のプロセッサへ転送する制御手段と、を備えていることを特徴としている。

【0025】

【作用】従来の2次元画像表示装置におけるスプライト

6

手法は高速に描画可能ではあるが、背景画像並びにスプライト表示情報の前後関係（優先順位）がスプライト単位で決められている。このため凹凸・形状に相応して1部が前に出ているような3次元画像表示が出来ない欠点がある。これに対し本発明の3次元画像表示装置では、3次元画像高速表示手段として3次元アニメーションのフレームバッファに背景画像表示情報実行値 z バッファを付加し、これを用いてアニメーションの背景並びにスプライトの前後表示対象を表わすことができる。3次元スプライトは、フレームバッファよりは小さな矩形の画像データで z 値もピクセル領域範囲毎に持つことが出来るので、表示の際に通常のスプライト処理と同じで、CRT表示の際スキャンラインされ表示されるスプライトデータを取り込み z 値の大小を比較し前（視点側）にあるもののみを表示データとみなす。この様に本発明の3次元画像表示装置では背景画の前にスプライト前後情報を入れた3次元高速動画画像処理が可能となった。

【0026】又、スプライト・パターンに α 値を持たせる拡張も考えられる。これにより、ハードウェア的にコンパクトでデバイスの構成が比較的小規模で行え、安価で高速な3次元画像表示装置を実現することができる。本発明をゲーム機等のアニメーション表示装置に応用すれば描画動作の効率を大巾に向上させ得る。

【0027】

【実施例】先ず、本発明の概要を図1、図4、図5を用いて説明する。図1は本発明の基本概念図である。

【0028】本発明の3次元画像装置では、従来技術1で説明した z バッファアルゴリズムの場合と同様に、フレームバッファに z バッファおよびスプライトメモリ503、504が付いている。このスプライトメモリ503、504は、色彩情報はフレームバッファと同数の（1ピクセル当たりの）ビット数を持ち、 z 情報も z バッファと同数の（1ピクセル当たりの）ビット数を持つ。スプライトメモリの領域の大きさとしては、通常はフレームバッファよりも小さいが、フレームバッファと同様の大きさを持つ場合もある。

【0029】フレームバッファと z バッファに保持されている画像データを背景画301と呼ぶことにする。CRT518上への表示時に、スプライトメモリの内容302は、フレームバッファおよび z バッファ内の画像データと一緒に読みだされ、両者が合成される。この時スプライトデータの中で背景画よりも z 値が小さいもの、即ち304については、背景画の色値の替わりにスプライトの色値がCRT518に送られる。これによりCRT518上へ合成表示される画像は、303のようになる。

【0030】上記した処理は、図1の構成を有する画像処理装置により実現される。背景画の色値はフレームバッファ501に z 値は z バッファ502に保持されている。スプライトの色値はメモリ503に z 値はメモリ5

(5)

特開平5-249953

7

8

04に保持されている。又、CRT518上へ表示されるスプライトの開始位置（スプライトの左上角の位置）の値はレジスタ505に設定される。アドレス生成器508は、CRT518のリフレッシュに同期して、順次表示アドレス507をフレームバッファ501とzバッファ502に送る。一方で、アドレス生成器508はスプライト開始位置と表示位置の値により、スプライトが表示される位置に來たことを判定し、領域判定結果508をアンド回路521へ出力し、かつスプライトメモリに関するアドレス509を出力する。

【0031】背景画のz値510とスプライトのz値511が比較器512で比較される。比較結果513（スプライトのz値が小さい時に1となるものとする）と、領域判定結果508（スプライト表示領域で1となるものとする）のAND演算がアンド回路621で行なわれその結果を選択信号514として、セクタ520が背景画の色情報515（選択信号が0）か又はスプライトの色情報516（選択信号が1）の何れかを選択してデジタルアナログコンバータ（DAC）517を経由してCRT518に送られる。

【0032】上記構成の画像表示装置を用いれば、スプライトメモリ503、504内の物体の位置を変化させる場合、スプライトスタート位置レジスタ505の内容を書き換えるだけで、位置が移動した同一の3次元画像をCRT518上へ表示できるので、リアルタイムな3次元アニメーションが簡単な操作により可能になる。

【0033】次に本発明の第一の実施例としての画像表示装置に関し図6、図7、図8を用いて説明する。

【0034】この実施例の画像表示装置の全体構成は図6に示す。発明の概要の図1に対して、外部よりフレームバッファ、zバッファ、スプライトメモリにデータを書き込むためのバス801、zオフセットレジスタ802、フレームバッファとスプライトの色情報を一時的に保持するためのレジスタ803、804、さらに比較器の結果を1クロック分遅らせるための遅延レジスタ805が新たに追加されている。

【0035】以下の説明では、フレームバッファのサイズは512×512ピクセルとし、x、yともに8bitのカウンタでアドレスされるものとする。スプライトの大きさは、32×32ピクセルとする。又、zバッファは1ピクセル8bitで構成されるものとする。しかし他のbit数を用いた場合であってもzバッファ全く同様に実現できる。

【0036】図7はアドレス生成器506の構成図である。701は表示アドレス生成器で、通常のCRT表示のためのアドレス生成を行うものである。基振クロックに対して1クロック毎に一度アドレスを更新して出力する。この出力のx702、y703より、スプライトメモリのためのアドレスx'704、y'705を生成する。減算器706、707により、次式のように、アド

レスを計算する。ここで、 x_s 、 y_s は、スプライト開始位置で、スプライト開始位置レジスタ505は、 x 、 y それぞれの開始位置 x_s 708、 y_s 709からなる。スプライト開始位置レジスタ505は、外部から新しい値を信号線711、712を介して取り込むことによりその内容を変更する機能を持つ。

$$[0037] \quad x' = x - xs$$
$$y' = y - y_s$$

スプライト表示位置かどうかは、次式を用いて判定回路710で判定される。

[0038] $0 \leq x' < 32$

$$0 \leq y' \leq 32$$

従って、判定回路710では、x、yどちらもこの条件を満たす時に、判定結果出力508に値1を出力する。減算結果のx' 704とy' 705は併せてスプライトメモリへのアドレス508となる。

【0039】図8でz比較器の説明を行う。z比較器では、スプライトのz値（スプライト）に対して所定のオフセット値（zオフセット）を足してから背景画のz値と比較を行う。即ち次の条件を満たす時に、比較結果513として“1”を出力する。

【0040】 $z_{\text{スプライト}} + z_{\text{オフセット}} \leq z_{\text{背景}}$
 ここで、 $z_{\text{スプライト}}$ はスプライトの z 値、 $z_{\text{オフセット}}$ はスプライトの z オフセット値、 $z_{\text{背景}}$ は背景面の z 値である。スプライトの z 値511と背景の z 値510は8bitで無符号の数値である。一方 $z_{\text{オフセット}}$ 801は2の補数表現での有符号数で9bitの値をとる。 $z_{\text{スプライト}}$ 511は最上位に符号bitとして0を加えられて、加算器802により加算され、加算結果803は9bitの有符号数になる。 $z_{\text{背景}}$ の z 値510は最上位に符号bitとして0を加えられて、有符号の大小比較器804により比較結果513が出力される。

【0041】比較結果は一度遅延レジスタ805に入り、次のクロックサイクルで、セクタ620に対する選択信号として働き、一時レジスタ803に入っていた背景画の色情報と一時レジスタ804に入っていたスプライトの色情報のうちの何れかが選択される。

【0042】即ち、z 値の比較と色値の選択は2段のパイプライン動作になっている。何故パイプライン構成にするかと言えば、これは、CRT618への表示のフットレートの短い1クロックサイクル内で、z 値の比較と色値との選択の両方を行うのは困難なためである。

【0043】この実施例では、図6に示すようにzのオフセットレジスタ602を持ち、このレジスタ602もスプライト開始位置レジスタ505と同様に書き込みの手段を持つ。このため、スプライトで表されている物体が、x、y方向だけでなく、奥行き方向に移動した場合でも、レジスタを書き換えるだけの処理で新たな3次元画像を表示できることになる。

(6)

特開平5-248953

9

10

【0044】この実施例は、フレームバッファとzバッファにランダムアクセスのメモリを使っているが、通常の画像表示システムでよく用いられるようにデュアルポート・RAMを用いて、表示用の読みだしにシリアルポートを用いる構成にすることも容易である。

【0045】以上説明した実施例は、スプライトメモリが1個の場合であるが、以下に複数のスプライトメモリを構成するモジュールの構造の説明を図9、図10を用いて行う。図9に示すように、スプライトメモリとz値の比較、色情報の選択の機能はモジュール化されており、スプライトメモリ単位としての各モジュール901は必要数だけ、直列につなげられる構成になっている。これにより、このモジュール901をつなげた個数だけ異なるスプライトを同時に画面上に表示できるようになる。図9に示す様に、このモジュール901には、色情報902、z値903が基準クロック910に同期してクロック毎に順次入力される。さらにCRT制御のための同期信号として、垂直同期信号904、水平同期信号905が与えられる。これらの信号は次の2つの目的

(1)、(2) のためこのモジュールの各モジュール901-1、901-2、...901-Nへ入力され、CRTへ送られる。

【0046】(1) モジュールの個数だけ、CRTに送る最終的な色情報も遅延するので、それに合わせて同期信号904、905も同じ時間だけ遅延させる必要がある。

【0047】(2) モジュール内のカウンタの初期化に用いる。

【0048】更に、このモジュール901に対する各種のパラメータや内部メモリのセットのための複数bit

からなるコマンド信号906も入力される。

【0049】以下に次段以降のモジュール901-2、...901-Nへ入力される各種信号の流れを説明する。まず、初段モジュール901-1の出力として、色情報902-2、z値903-2、垂直同期信号904-2、水平同期信号905-2、コマンド信号906-2が出力される。これらの信号は、それぞれ次段以降のモジュールへ入力される。これらの情報は初段モジュール901-1の入力情報902-1、903-1、904-1、905-1、906-1と同様なので説明を省略する。

【0050】初段のモジュール901-1の入力の色情報902には、フレームバッファ502からの読みだされたデータが入力される。z値情報入力903としてはz値バッファ501から読みだされたデータが入力される。最終段のモジュール901-Nの出力としては、色情報902-NはDAC517を経由してCRT518へ送られ、垂直904-N及び水平同期信号905-NはCRT518への同期信号として送られる。一方z値情報とコマンド信号はCRTへ送信されない。

【0051】各モジュール901には、モジュール毎の識別番号としての信号920も又入力される。

【0052】図10はモジュール901-1の内部構成を示した構成図である。まずcメモリ503、zメモリ504等のメモリのアドレスの処理を説明する。垂直同期信号904-1がアクティブになった時にyカウンタ1001にy開始レジスタ1002の値が転送される。さらにy幅カウンタ1003にy幅レジスタの1004値が転送される。

【0053】以後、水平同期信号905-1がアクティブになる毎にyカウンタ1001の値は1ずつデクリメントされる。

【0054】yカウンタ1001が0になると、yカウンタ1001内の値はデクリメントされない。y開始レジスタ1002の内容が0であれば、全くデクリメントされない。

【0055】yカウンタ1001が0の時は、水平同期信号905-1がアクティブになる毎にy幅カウンタ1003の値が1ずつデクリメントされる。

【0056】y幅カウンタ1003が0から-1に変わった後、以後はy幅カウンタ1003内の値をデクリメントしない。

【0057】水平同期信号905-1がアクティブになった時に、xカウンタ1005にx開始レジスタ1006の値が、x幅カウンタ1007にx幅レジスタ1008の値が転送される。

【0058】以後、基準クロック910に同期して、xカウンタ1005の値が1ずつデクリメントされる。

【0059】xカウンタ1005が0になった後、xカウンタx1001はデクリメントされない。x開始レジスタ1006の内容が0であれば、全くデクリメントされないことになる。

【0060】xカウンタ1005が0の時は、基準クロック910に同期して、x幅カウンタ1007の値が1ずつデクリメントされる。

【0061】x幅カウンタ1007が0から-1になった後、x幅カウンタ1007はデクリメントされない。

【0062】xカウンタ1005、yカウンタ1001が0であって、x幅カウンタ1007、y幅カウンタ1003が0でない場合、スプライトはCRT上へ表示される。傾斜判定部1010では、上記した条件の場合スプライト表示期間であることを示す信号1011をアンド回路1052へ出力する。

【0063】x幅カウンタ1007、y幅カウンタ1003の符号bitを除いた部分を反転した信号を合わせた信号1009が、cメモリ503およびzメモリ504へアドレスとして入力される。

【0064】例えば、スプライトメモリ即ちcメモリ503、zメモリ504のサイズが256*256ピクセルの場合、X(Y)幅カウンタ1007、1003はそ

(7)

特開平5-248953

11

れぞれ符号を含めて9bitで構成される。スプライトの大きさは32*32ピクセルとすると、X(Y)幅レジスタ1008には値31(16進で11111)が予めセットされている。

【0065】X(Y)幅カウンタ1007には垂直同期信号904-1が入力された際に、X(Y)幅レジスタ1008の値31(000011111)がロードされ、以後x幅カウンタ1007は-1(11111111)になるまで順次デクリメントされる。水平同期信号905-1が入力された際に、y幅カウンタ1003*10

解8ビット 解8ビット

```

      ←-----→
1110000011100000.1110000011100001.1110000011100010.....1110000011111111
1110000111100000.1110000111100001.1110000111100010.....1110000111111111
1110001011100000.1110001011100001.1110001011100010.....1110001011111111
.....
1111111111100000.1111111111100001.1111111111100010.....1111111111111111

```

以上でスプライトメモリとしてのcメモリ503、zメモリ504に対するアドレス処理の説明を終了する。

【0069】次にモジュール901-1のデータの処理の説明を行なう。

【0070】●第1ステージ

フレームバッファ502のc値、z値バッファ501のz値は、基準クロック910に同期してc入力レジスタ1020、z入力レジスタ1021に入る。同時にスプライトメモリであるcメモリ503、zメモリ504の内容がアドレス1008に従って読みだされ、スプライトメモリデータレジスタ1022、1023内に入る。

【0071】●第2ステージ

次のクロックサイクルで、z入力レジスタ1021内のz値、c入力レジスタ1023内のc値とzオフセットレジスタ802の値をz比較器512が比較する。さらにスプライト表示期間であることを示す信号1011、制御部1050からの“非コマンド信号”とAND演算を行った結果を1bit構成のz比較結果レジスタ1030に書き込む。

【0072】一方、同時にc入力レジスタ1020、z入力レジスタ1021、スプライトメモリ用のc値レジスタ1022およびz値レジスタ1023の内容はパイプライン処理される各レジスタ1024、1025、1026、1027へそれぞれ転送される。

【0073】●第3ステージ

次のクロックサイクルで、比較結果レジスタ1030の出力を選択信号としてこの信号の値に従ってセクタ1031、1032により、レジスタ1024内のスプライトのc値およびレジスタ1026内のフレームのc値とをセクタ1031で比較しそのいずれかをc出力レジスタ1033へ出力する。又レジスタ1025内のスプライトのz値およびレジスタ1027内のフレームのz値とをセクタ1032により比較しそのいずれかをz出力レジスタ1034に書き込む。

12

*はデクリメントされ、x幅レジスタ1008にはまた31がロードされる。

【0066】y幅カウンタはy幅レジスタ1004から-1引いた値になるまで、デクリメントされる。

【0067】上記した場合における、cメモリ503、zメモリ504へ入力されるアドレスの変化を以下に示す。ここで、アドレスの前半8ビットはx座標、後半8ビットはy座標を示している。

【0068】

【表1】

【0074】c出力レジスタ1033、z出力レジスタ1034の内容がCRT518への出力となる。

【0075】以上のように第1～9ステージは3段のパイプライン処理で実行される。即ち、各ステージでは1クロック毎に入力を受取り、3クロックの遅れをもって1クロック毎にモジュール901-1から出力する動作を行なう。

【0076】●同期信号の扱い

垂直同期信号904-1、水平同期信号905-1は、色信号、z値のモジュール901-1内での遅延の長さと同期をとるために、レジスタ1040、1041、1042に順次転送される。初段のレジスタ1040の値は制御部1050に送られ、前記アドレス制御に用いられる。

【0077】●コマンドの扱い

各モジュールの初期設定として、各種レジスタへのセットとcメモリ、zメモリへの書き込みが必要であり、これらの処理はコマンド信号に基づいて実行される。コマンド信号の概略構成を図11に示す。

【0078】コマンド信号908-1はコマンドレジスタ1043に入り、制御部でデコードされ、かつ各種制御信号1051が作られる。コマンドは、コマンドの種類を指示するコード部1101とモジュールの番号を指示するID部1102とからなる。直列に接続可能なモジュールの個数はこのID部のbit数で決まる。制御部1050では、コマンドのID部1101の値とモジュールに対するID入力信号920とを比較し、これらが一致する場合のみそのモジュール内で対応する動作を行い、一致しない場合には、そのコマンド及びデータを素通りさせる。

【0079】コマンド信号908-1も同期信号と同様に、レジスタ1043、1044、1045へ転送される。

【0080】レジスタへのパラメータをセットする際に

13

は、パラメータは色情報としてのc入力902-1とz値としてのz入力903-1を用いて該レジスタへ与えられる。コマンドの種類に応じてc入力レジスタ1020とz入力レジスタ1021の内容が、zオフセットレジスタ602、z開始レジスタ1006、y開始レジスタ1002、x幅レジスタ1008、y幅レジスタ1004に転送される。

【0081】スプライト情報としてのcメモリ503、zメモリ504への書き込みデータもc入力レジスタ1020、z入力レジスタ1021を経由してcメモリ503、zメモリ504へ与えられる。メモリ書き込みのコマンドを出しているときは、両方のメモリは書き込みモードになり、あらかじめセットされた、x幅レジスタ1008、y幅レジスタ1004の値に応じてメモリ内の該当する領域に書き込まれる。

【0082】次に制御部の構成について図17を用いて説明する。

【0083】制御部は、図17のような構成を取り、デコーダ部と比較器からなる。

【0084】コマンド信号906-1内のID部1102は制御部1050内ではID部1705として比較器1706によりモジュールID信号920と比較（一致するかどうかの比較）される。その比較結果とコマンドの信号906-1内のコード部1101、即ち制御部1050内のコード部1702、同期信号1700がデコーダ1703の入力となる。デコーダ1703により、制御信号1051が生成される。

【0085】デコーダ1703は以下に示す各種制御信号1051を生成する。尚、これらの制御信号の概略説明を以下に行なう。

【0086】●非コマンド信号

現在の動作がコマンドに基づく動作ではなく、通常の表示であることを示す。コマンド実行中は、この信号は0になり、これにより図10で示す、ANDゲート1052により、z比較器512の出力結果によらず、モジュール901-1の入力データがそのまま出力データとしてモジュール901-1の外部へ出力されていく。

【0087】●各種ライト信号

x開始レジスタライト

y開始レジスタライト

x幅レジスタライト

y幅レジスタライト

zオフセットライト

これらの信号は、コマンドコードに応じて1になり、モジュールID信号920とコマンド信号のID部1102の値が一致しなかった場合は0となる。

【0088】●xカウンタロード信号

この信号は、水平同期信号が出た場合にのみ1となる。

【0089】●yカウンタロード信号

この信号は、垂直同期信号が出た場合に1となる。

(8)

特開平5-248953

14

【0090】●x幅カウンタロード信号

この信号は、次の2つの場合に1となる。

【0091】(1) 水平同期信号が出た場合

(2) コマンドがx幅カウンタロードコマンドである場合

●y幅カウンタロード信号

この信号は、次の2つの場合に1となる。

【0092】(1) 垂直同期信号が出た場合

(2) コマンドがy幅カウンタロードコマンドである場合

10

●メモリ書き込み信号

コマンドがメモリ書き込みコマンドである場合、この信号は1になる。

【0093】次に上記した第2の実施例の画像表示装置に関していくつかの変形について説明する。

【0094】第一の変形は、各モジュール901で、x開始、x幅、y開始、y幅、zオフセットのレジスタのセットを複数セット持った構成にする。これにより同一のスプライトのデータであるが、画面上複数の位置に異なる実行値を持って同一のスプライト情報を表示できるようにすることが可能となる。

【0095】第二の変形は、最終的な画像データをDAC517のほうに送るだけでなく、フレームバッファとzバッファあるいは別に設けたメモリ内に書き込む構成にする。これにより、いくつかのスプライトデータを重ね合わせたものを新たに背景データとして用いることが可能となる。

30

【0096】第三の変形は、フレームバッファとzバッファを併せて同一のメモリとして、該メモリの1ワード内に色データとzデータとを併せて持つ構成にする。この場合、スプライトメモリも同一の1ワード当たりのビット数を持つメモリとなる。更に、1ワードの中の色データとzデータとのbit数の配分を可変にする。このために、z比較器の変更が必要とされる。1ワードの中でのzの部分を表すマスクレジスタを持った構成にし、z比較器の入力には、このマスクレジスタの値とAND演算の結果が入る。この変形例の構成を図12、図13で説明する。入力データ1201は32bitからなり、z部分はこの内の上位bit側に連続してとられており最高で24bitまでzデータとすることができ、この場合、色データは最低で8bitである。図12にモジュール内のデータ処理の部分を示す。

40

【0097】内部メモリの読みだしデータ1202は、レジスタ1204に、入力データはレジスタ1203に取り込まれる。両レジスタの上位24bitのデータ1205、1206とzオフセットレジスタ602がz比較器512の入力となる。zオフセットレジスタ602は24bitに符号bitを加えた25bitからなる。比較器の出力と領域信号のANDをとったものがレジスタ1030に格納され、セクタ1210の選択信

50

(9)

特開平5-249953

15

号となる。レジスタ1203内に格納された入力データとレジスタ1204内に格納された内部メモリの読みだしデータ1202はパイプラインレジスタ1207、1208に入り、次のクロックでセクタ1210で選択されて出力レジスタ1211に入り出力データ1212となる。z比較器512は、25bitのzマスキレジスタ1301を持つ。このレジスタ1301には、上位から1がn(bit) ($0 \leq n \leq 25$)あり、下位から0が25-n(bit)あるような値を設定しておく。例えば、"111...000"の様に設定しておく。

【0098】入力1208は最上位に"0"をつけて25bitとし、zマスキレジスタ1301の値とAND演算をAND回路1310により行ないその演算結果は加算器802の入力となる。この加算結果と入力1205の最上位に"0"をつけたデータが有符号の比較器804の入力となるのは図8の場合と同様である。

【0099】次に本発明の第3の実施例の画像表示装置について図14を用いて説明する。

【0100】この実施例では、スプライトバッファとフレームバッファとは同じサイズであり、かつ、フレームバッファとスプライトバッファのペア毎に描画プロセッサ P_0, P_1, \dots, P_m を持つ構成となっている。フレームバッファとスプライトバッファとの相違は無く、例えば、直列に接続されたバッファペアの1つ目がフレームバッファ、2つ目がzバッファとして用いられているだけである。以後は、バッファペア全体の表現としてフレームバッファ、zバッファと呼ぶことにする。全てのバッファが同一のサイズを持つため、表示時のz比較を用いた重ね合わせは、全画面について行われる。m個のフレームバッファは o_j ($j=0, 1, \dots, m-1$) 1401とzバッファ z_j 1402に対して、m個の描画プロセッサ1403 p_j を持ち、 p_j が c_j に対する描画を受け持つ。表示の際には、 c_0, z_0 と c_1, z_1 は同一のタイミングでデータを読みだすが、 c_2, z_2 以降は、それぞれ一つ前のバッファに比べ一定(以下の例では基準クロックで3クロック)の遅れをもって読み出される。z比較を行いながらデータを選択するためのモジュール d_j ($j=1, 2, \dots, m-1$) 1404があり、各モジュールは対応するバッファからのcデータ1405、zデータ1406、一つ前のモジュールからのc入力1407、z入力1408をもらい、一つ後のモジュールに対しc出力1409、z出力1410を出す。図15にモジュール d_j の構成図を示す。

【0101】モジュール d_j はz比較と選択を行うため、図15の構成を有する第3実施例の画像表示装置は第1、2実施例に示した画像表示装置の構成と異なり、フレーム画像とスプライト画像とを表示領域全てで重ね合わせるため、領域の判断は不要である。又zオフセットも無くても良い(あっても良い)。第2の実施例の画像

16

表示装置でモジュール内部にあったメモリが外に出た場合に相当しており、この場合に対応した動作になる。

【0102】入力1407、1408、1405、1408がレジスタ1501、1502、1503、1504に取り込まれる。zレジスタの内容は単純な有符号の比較器1505で比較され比較結果がレジスタ1508にしまわれる。

【0103】同時にレジスタ1501、1502、1503、1504の内容をレジスタ1511、1512、1513、1514に伝送する。

【0104】セクタ1031、1032で選択された値が出力レジスタ1033、1034に入り出力される。

【0105】この構成は、今までの実施例では異なる効果を有する。通常の描画プロセッサを複数個並列に用いるグラフィックシステムでは、フレームバッファが1つであるために、メモリアクセスがボトルネックとなり、充分な描画性能が得られず、従って高速な3次元アニメーションは困難である。ところが、本実施例の画像表示装置の構成を用いて、各フレームバッファは全ての物体のデータの一部分を分担して描画させ、最後に表示の際にz比較を行いながらこれらの画像を重ね合わせることにすると、処理のボトルネックは消滅する。処理性能は、描画プロセッサの数mに比例する。この描画プロセッサ数の原理的な上限は無い。

【0106】尚、分担描画の際、分担した部分について、画像の変更が無ければそのプロセッサは再描画しなくてもよい構成になっていることは言うまでもない。

【0107】最後に本発明の第4の実施例である画像表示装置を図18を用いて以下に説明する。

【0108】この実施例の画像表示装置では、表示の際にラインバッファを用いる。ラインバッファは、色データ用に2本(1602、1603)、z値用に1本(1604)設けてある。フレームバッファ、zバッファ及びスプライトデータは全て共通のメモリ1605内にある。

【0109】表示の制御は表示プロセッサ1601が受け持ち、CRT518の1ライン分の表示の手順は以下のようになる。

【0110】フレームバッファの1ライン分をラインバッファに読み込む(c及びz)。

【0111】このライン上に来るスプライトの1ライン分のデータを読み込み、ラインバッファ中の該当箇所をz比較を行って更新する。

【0112】この手順をスプライトの個数だけ繰り返す。

【0113】cのラインバッファの内容をDAC517経由でCRT518へ転送する。この際、2つのラインバッファ内のデータのいずれかをセクタ1606を用いて選択する。

(10)

特開平5-249953

17

18

【0114】この時、同時に他方のcのラインバッファとzのラインバッファを用いて再度上の手順を繰り返す。

【0115】この実施例では、今までの実施例と異なり、スプライトメモリとフレームバッファやzバッファが同一のメモリ内にある方が望ましいが、もちろんこれらを異なるメモリ中に置くことも自由である。又、スプライトの個数、大きさについても全く制限がなく自由に変えることができる。ただし、CRTの1ラインの表示の時間は限られるため、個数については処理時間の点で上限が決定される。ラインバッファの個数は2より大きくしてもよい。

【0116】

【発明の効果】上記説明した様に、一般に、3次元コンピュータグラフィック画像は1画面作成に時間がかかり、通常のプロセッサを用いて実時間でアニメーション描画は従来困難であった。特に、画像の一部物体のみ動くような場合であっても、始めから画像を作成する必要があり、画像の作成速度はやはり遅かった。これに対し本発明の画像表示装置では、一部の動く場合の画像を極めて高速に表示することができ、実時間で3次元画像によるアニメーションを可能にすることが可能である。本発明では、変化しない部分の画像はあらかじめ時間をかけて作成したり、又、別の手段で作成したものを用いることができるため、簡単な構成で、従って安価に3次元画像アニメーション装置や電子ゲーム器を構成することができる。

【0117】又、本発明の別の効果として以下のものがある。従来の画像表示装置では複数の描画プロセッサを用いて描画処理を並列に行ってもメモリアクセスがボトルネックになり画像作成速度は上がりず高速表示ができなかったが、本発明の画像表示装置により、各プロセッサは、相当する画像のみ作成すればよく、スループットに対する全体を重ね合わせる際のオーバーヘッドの影響は全く無い。この結果、プロセッサの個数に比例して画像作成速度が上がり、高速3次元グラフィックスシステムを構成することが可能になる。

【図面の簡単な説明】

【図1】本発明の基本概念を示す画像表示装置の構成図。

【図2】従来技術であるスプライト手法を説明する図。

【図3】従来技術であるスプライト手法を説明する図。

【図4】本発明の画像表示手法を説明する図。

【図5】本発明の画像表示手法を説明する図。

【図6】本発明の第一実施例である画像表示装置のブロック図。

【図7】図6に示す画像表示装置内の構成要素であるアドレス生成器のブロック図。

【図8】図6に示す画像表示装置内の構成要素であるz比較器のブロック図。

【図9】図6に示す画像表示装置内の構成要素であるモジュールを直列に接続したモジュールのブロック図。

【図10】モジュールの詳細な内部構成図。

【図11】コマンドのフォーマットを示した図。

【図12】z比較器の他の構成図。

【図13】z比較器の他の構成図。

【図14】本発明の第三実施例の画像表示装置のブロック図。

【図15】図14に示す第三実施例の画像表示装置に用いられているモジュールのブロック図。

【図16】本発明の第四実施例の画像表示装置のブロック図。

【図17】図6に示す画像表示装置に用いられている制御部の詳細構成図。

【符号の説明】

- 103 合成表示画像
- 2-1 表示アドレス制御
- 2-2 フレームバッファ
- 2-3 P/S
- 2-4 セレクタ
- 2-5 スプライトパターンバッファ
- 2-6 zバッファ
- 2-7 大小比較器
- 2-8 zバッファ
- 201 背景画
- 202 スプライトメモリの内容
- 203 表示画像
- 210 背景画
- 301 背景画
- 302 スプライトメモリの内容
- 303 合成表示される画像
- 304 動画
- 501 zバッファ
- 502 フレームバッファ
- 503 色値メモリ
- 504 zメモリ
- 505 レジスタ（スプライト開始信号の値）
- 506 表示アドレス生成器
- 507 表示アドレス
- 508 判定結果出力
- 509 スプライトメモリに対するアドレス
- 510 背景のz値
- 511 スプライトのz値
- 512 z比較器
- 513 比較結果（スプライトのz値が小さい時に1となるものとする）
- 514 選択信号
- 515 背景画の色情報（選択信号が0）
- 516 スプライトの色情報（選択信号が1）
- 50 517 DAコンバーター

(11)

特開平5-249953

19

20

518 CRT
 520 セレクタ
 521 AND回路
 601 バス
 602 zオフセットレジスタ
 603 レジスタ
 604 レジスタ
 605 レジスタ
 701 表示アドレス生成器
 702 アドレスx
 703 アドレスy
 704 アドレスx'
 705 アドレスy'
 706 減算器
 707 減算器
 708 開始位置xs
 709 開始位置ys
 710 判定回路
 801 zオフセット
 802 加算器
 803 加算結果
 804 有符号の大小比較器
 901 モジュール
 902-1 色情報入力
 903-1 z値入力
 904-1 垂直同期信号入力
 905-1 水平同期信号入力
 910 基準クロック
 908-1 コマンド入力
 911 色情報出力
 912 z値出力
 913 垂直同期信号出力
 914 水平同期信号出力
 915 コマンド出力
 920 モジュール毎に異なる値を持つ信号
 921 C入力
 923 z入力
 1001 yカウンタ
 1002 y開始レジスタ
 1003 y幅カウンタ
 1004 y幅レジスタ
 1005 xカウンタ
 1006 x開始カウンタ
 1007 x幅カウンタ
 1008 x幅レジスタ
 1010 領域判定部
 1011 領域判定結果
 1020 c入力レジスタ
 1021 z入力レジスタ
 1022 メモリから読みだしたcレジスタ

1023 メモリから読みだしたzレジスタ
 1024 c値バイブラインレジスタ
 1026 c値バイブラインレジスタ
 1025 z値バイブラインレジスタ
 1027 z値バイブラインレジスタ
 1030 z比較結果
 1031 セレクタ
 1032 セレクタ
 1033 c出力レジスタ
 10 1034 z出力レジスタ
 1040 レジスタ
 1041 レジスタ
 1042 レジスタ
 1043 コマンドレジスタ
 1044 レジスタ
 1045 レジスタ
 1050 制御部
 1051 制御信号
 1101 コマンドの種類を指示するコード部
 20 1102 モジュールの番号を指示するID部
 1201 入力データ
 1202 内部メモリの読みだしデータ
 1203 レジスタ
 1204 レジスタ
 1205 レジスタ1023の上位24bitのデータ
 1206 レジスタ1024の上位24bitのデータ
 1207 バイブラインレジスタ
 1208 バイブラインレジスタ
 1301 zマスタレジスタ
 30 1310, 1312 AND回路
 1401 m個のフレームバッファcj
 1402 zバッファzj
 1403 m個の描画プロセッサpj
 1404 j モジュールdj
 1405 cデータ入力
 1406 zデータ入力
 1407 前のモジュールからのcデータ
 1408 前のモジュールからのzデータ
 1501 cレジスタ
 40 1502 zレジスタ
 1503 cレジスタ
 1504 zレジスタ
 1506 z比較結果
 1511 cバイブラインレジスタ
 1512 zバイブラインレジスタ
 1513 cバイブラインレジスタ
 1514 zバイブラインレジスタ
 1601 表示プロセッサ
 1602 色データ用ラインバッファ
 50 1603 色データ用ラインバッファ

(12)

特開平5-249953

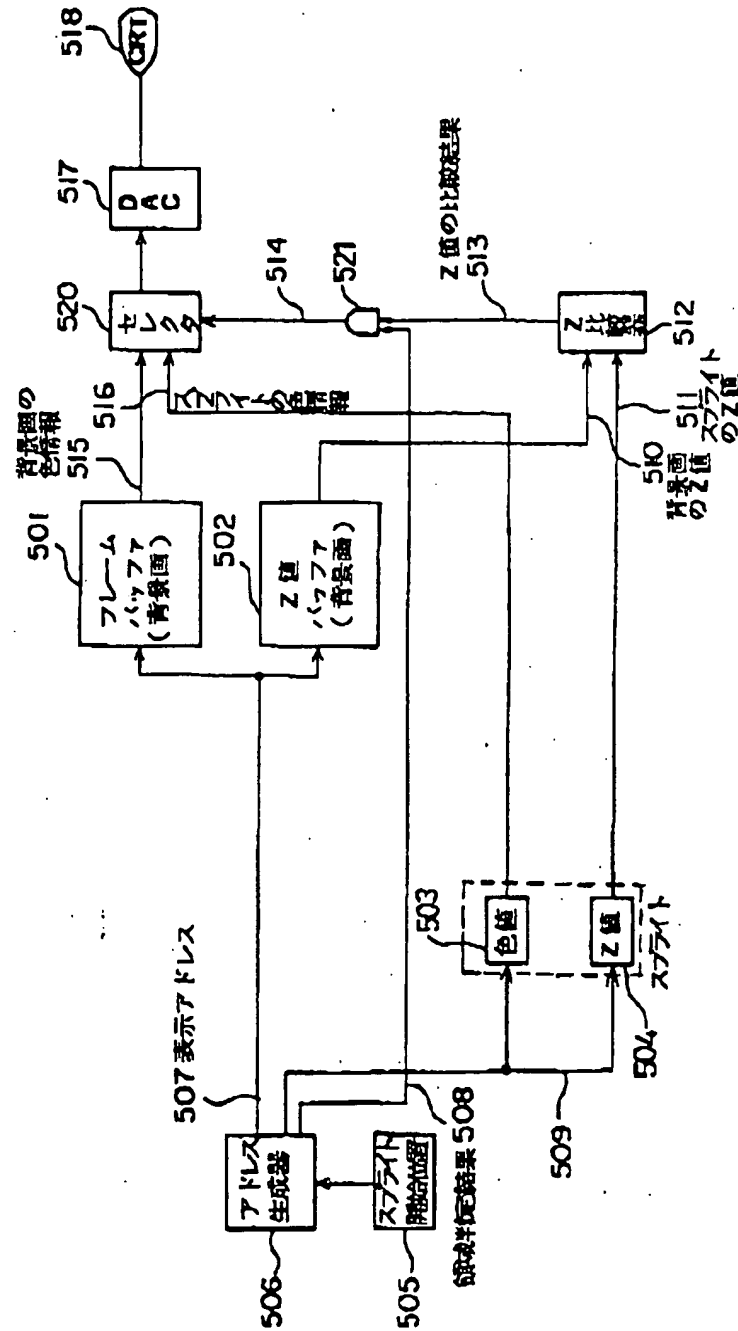
22

1804 Z用ラインバッファ
1805 メモリ
1700 同期信号
1701 コマンド

* 1702 コード部
1703 デコーダ
1705 ID部
* 1706 比較器

【図1】

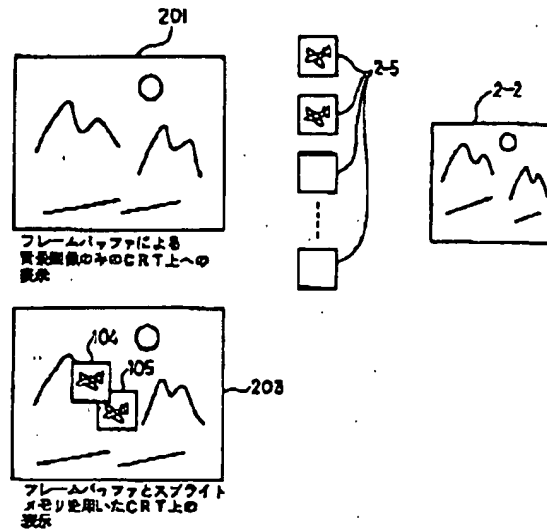
発明の基本概念図



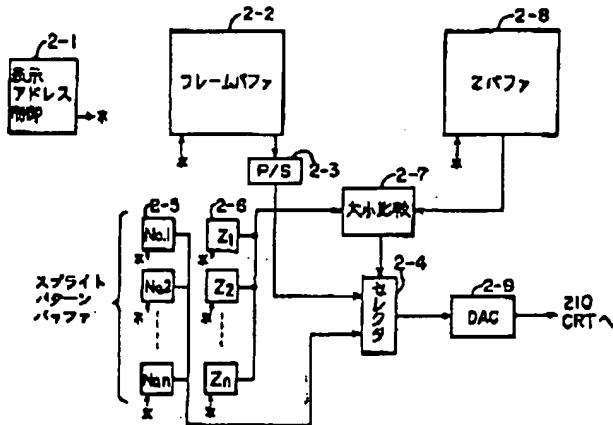
(13)

特開平5-249863

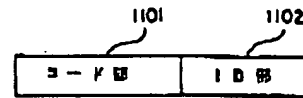
【図2】



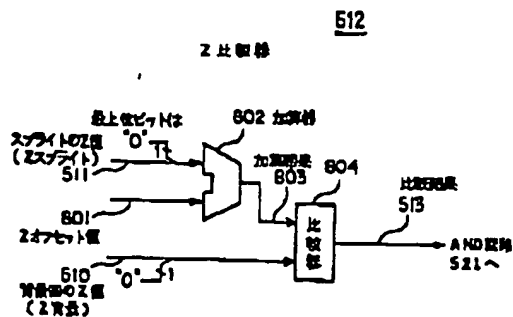
【図9】



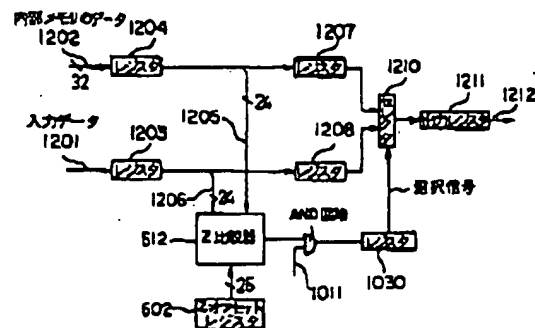
【図11】



【図8】



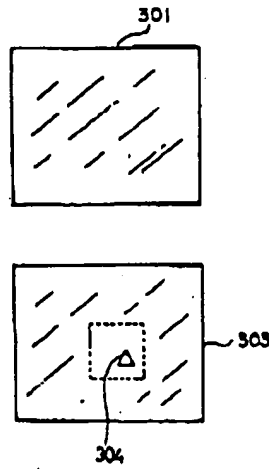
【図12】



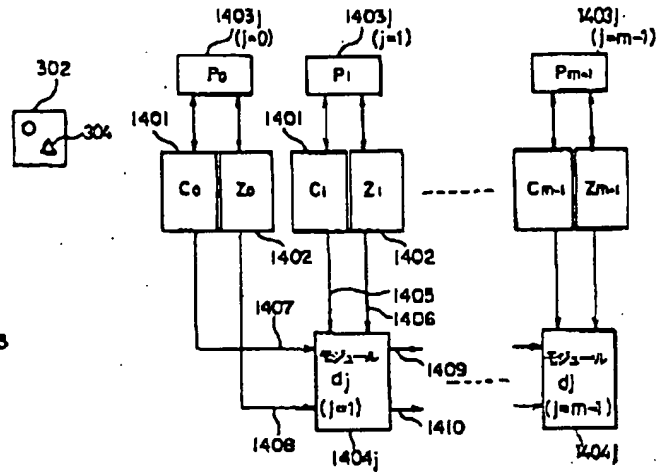
(14)

特開平5-249959

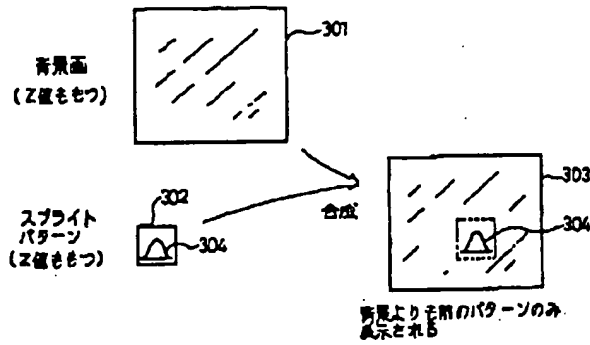
【図4】



【図14】

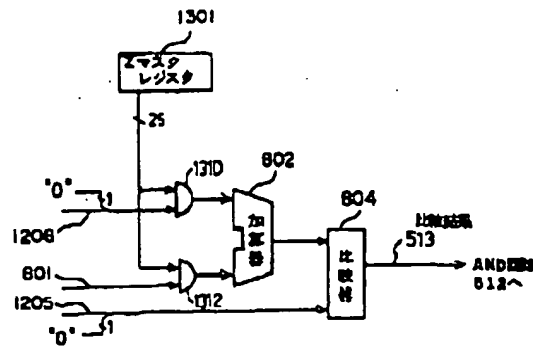


【図5】



【図13】

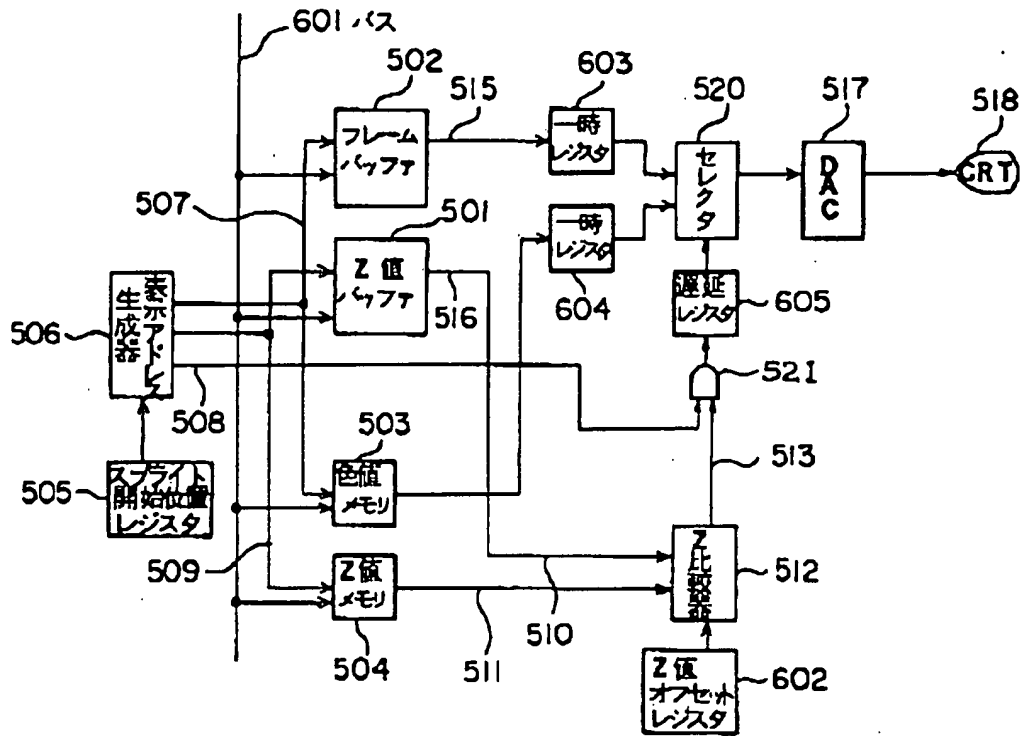
512



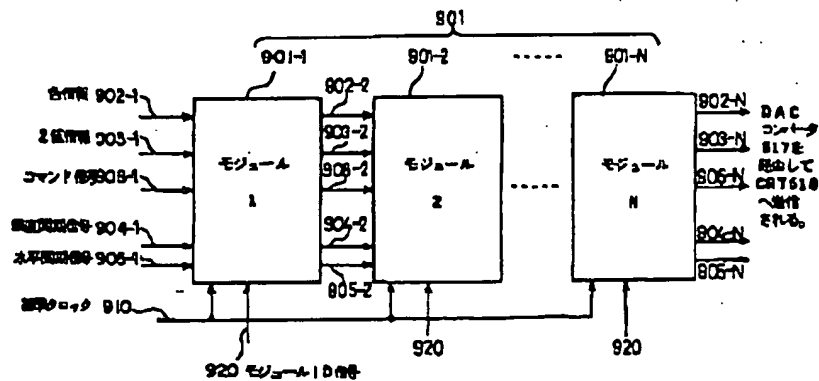
(15)

特開平5-249959

【圖 6】



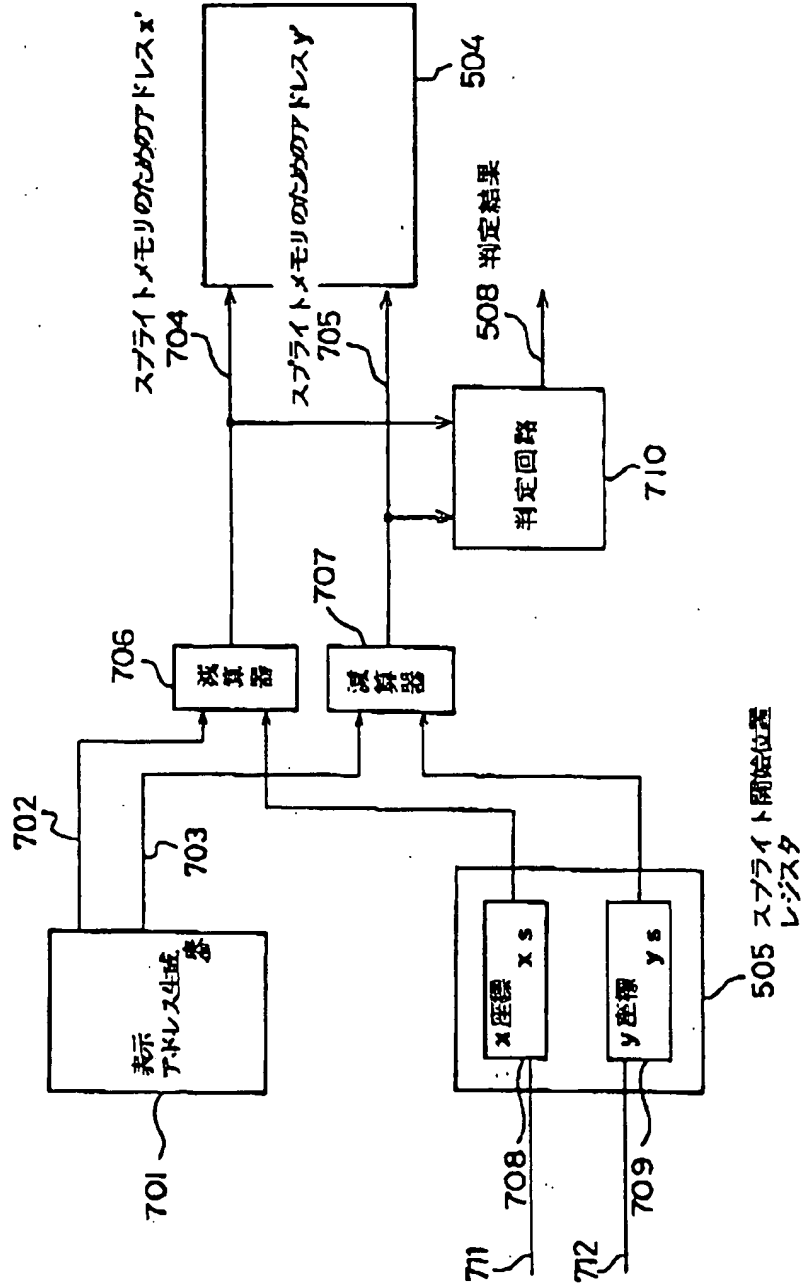
【图9】



(16)

特開平5-249953

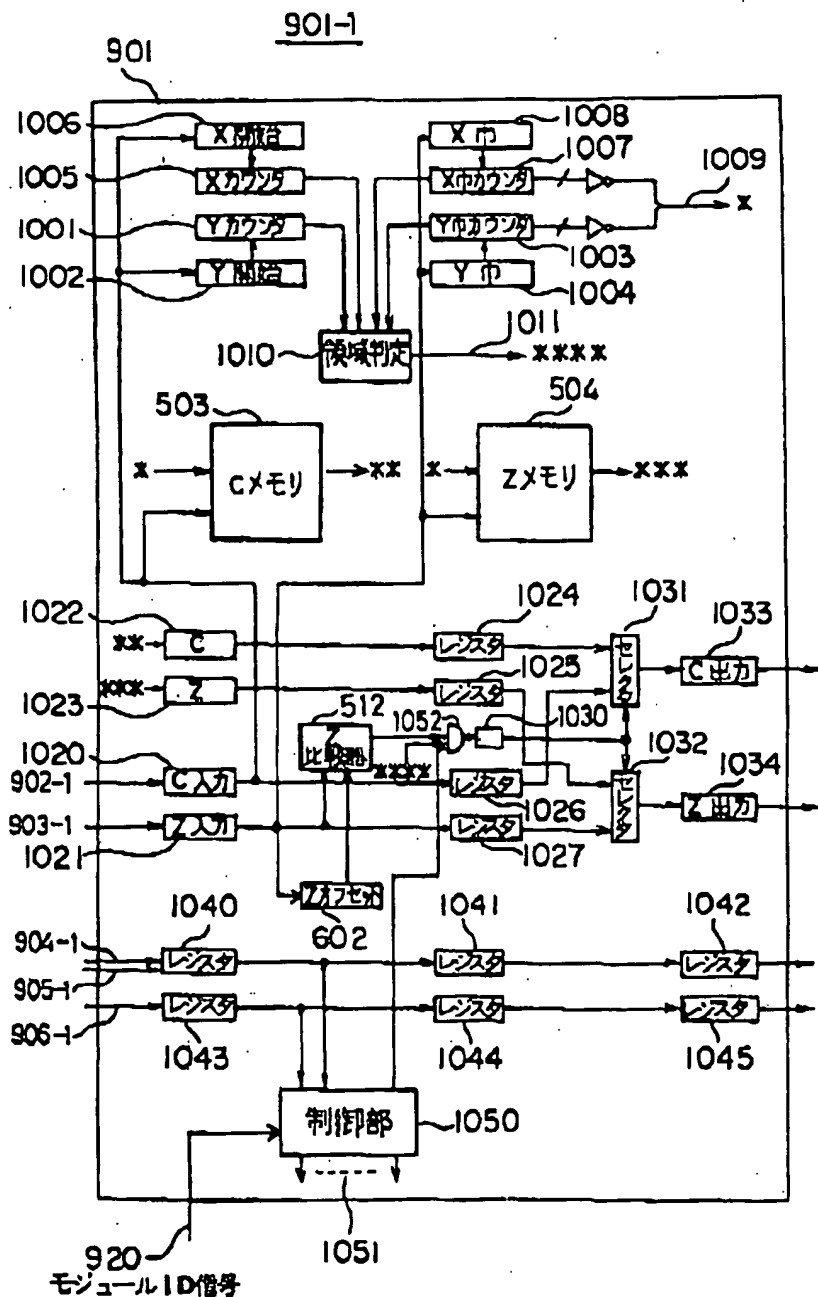
【図7】



(17)

特開平5-249853

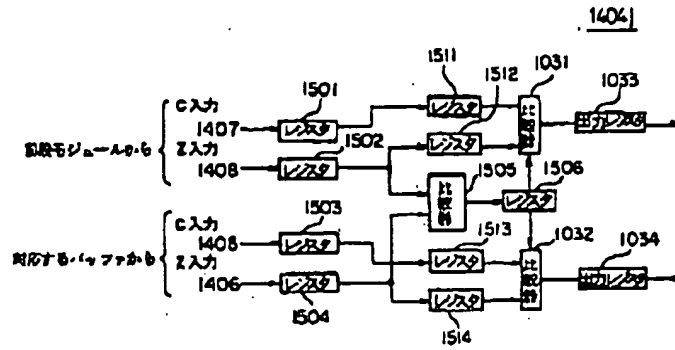
【図10】



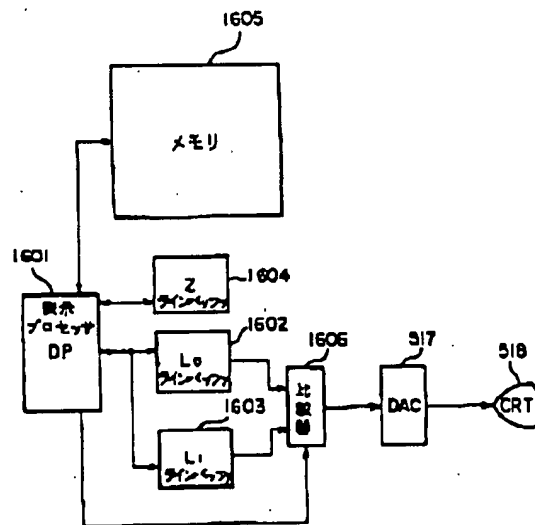
(18)

特開平5-249953

【図15】



【図16】

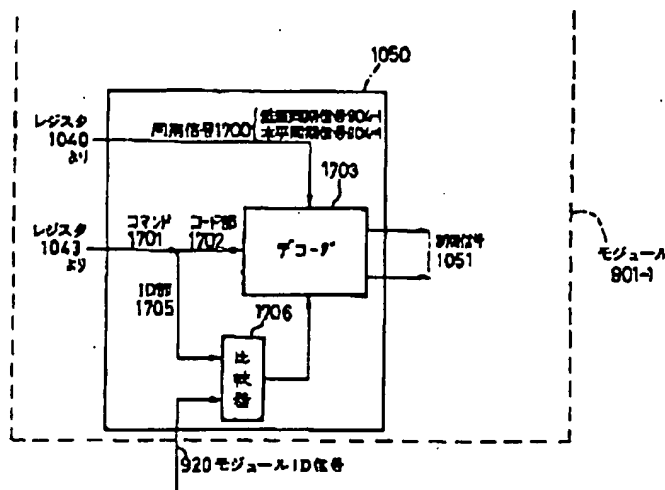


(19)

特開平5-249953

【図17】

モジュール内の制御部の構成図



【手続補正書】

【提出日】平成4年12月2日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 画像情報を格納するフレームバッファ

と、

該画像情報の奥行き値を格納するzバッファと、

複数の動画情報を格納する複数の動画バッファと、

該動画情報の奥行き値を格納する複数の動画奥行きバッファと、

前記画像情報および動画情報を表示する表示手段と、

前記画像情報および動画情報を前記表示手段上の所定のアドレスに表示する際、該アドレスに対応した前記zバッファ内の画像情報の奥行き値および複数の前記動画奥行きバッファ毎の動画情報の奥行き値とを比較する比較手段と、

前記比較手段における比較結果に基づいて、前記フレームバッファ内の画像情報、複数の前記動画バッファ内の動画情報の何れかを前記表示手段へ転送する機能を持つ制御手段と、から構成された画像表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項1に記載の画像表示装置は、画像情報を格納するフレームバッファと、該画像情報の奥行き値を格納するzバッファと、複数の動画情報を格納する複数の動画バッファと、該動画情報の奥行き値を格納する複数の動画奥行きバッファと、前記画像情報および動画情報を表示する表示手段と、前記画像情報および動画情報を前記表示手段上の所定のアドレスに表示する際、該アドレスに対応した前記zバッファ内の画像情報の奥行き値および複数の前記動画奥行きバッファ毎の動画情報の奥行き値とを比較する比較手段と、前記比較手段における比較結果に基づいて、前記フレームバッファ内の画像情報、複数の前記動画バッファ内の動画情報の何れかを前記表示手段へ転送する機能を持つ制御手段と、から構成されていることを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】●第2ステージ

次のクロックサイクルで、z入力レジスタ1021内のz値、スプライトzレジスタ1023内のz値、zオフセットレジスタ602の値をz比較器512が比較する。さらにスプライト表示期間であることを示す信号1011、制御部1050からの“非コマンド信号”とA

(20)

特開平5-249853

ND演算を行った結果を1bit構成のz比較結果レジスタ1030に書き込む。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0100

【補正方法】変更

【補正内容】

【0100】この実施例では、スプライトバッファとフレームバッファとは同じサイズであり、かつ、フレームバッファとスプライトバッファのペア毎に描画プロセッサP₀、P₁、～P_{m-1}を持つ構成となっている。フレームバッファとスプライトバッファとの相違は無く、例えば、直列に接続されたバッファペアの1つ目のペアがフレームバッファとzバッファとして用いられているだけである。以後は、バッファペア全体の表現としてフレームバッファ、zバッファと呼ぶことにする。全てのバッファが同一のサイズを持つため、表示時のz比較を用いた重ね合わせは、全画面について行われる。m個のフレームバッファc_j (j=0, 1, ……m-1) 140

1とバッファz_j 1402に対して、m個の描画プロセッサ1403p_jがあり、p_jがc_jに対する描画を受け持つ。表示の際には、c₀、z₀とc₁、z₁は同一のタイミングでデータを読みだすが、c₂、z₂以降は、それぞれ一つ前のバッファに比べ一定（以下の例では基準クロックで3クロック）の遅れをもって読み出される。z比較を行いながらデータを選択するためのモジュールd_j (j=1, 2, ……m-1) 1404があり、各モジュールは対応するバッファからのcデータ1405、zデータ1406、一つ前のモジュールからのc入力1407、z入力1408をもらい、一つ後のモジュールに対しc出力1409、z出力1410を出す。図15にモジュールd_jの構成図を示す。

【手続補正5】

【補正対象書類名】図面

【補正対象項目名】図10

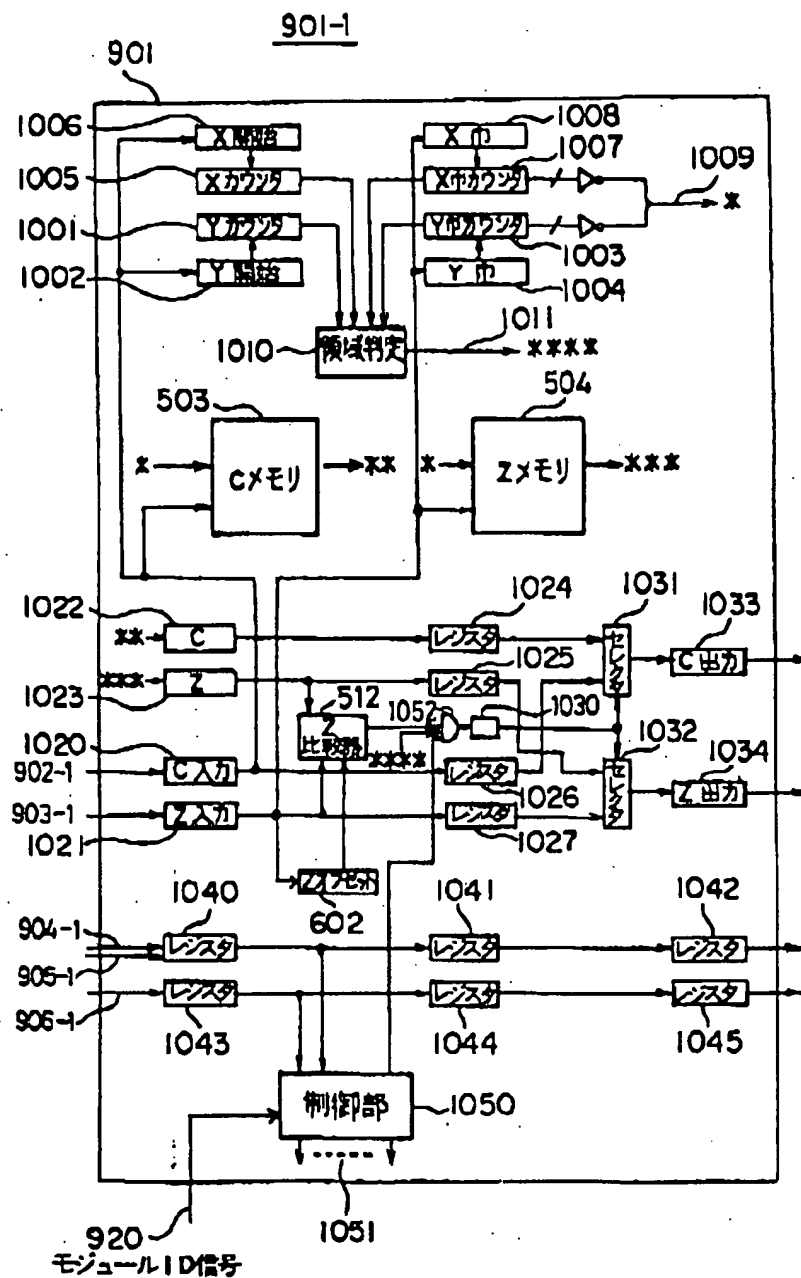
【補正方法】変更

【補正内容】

【図10】

(21)

特開平5-249953



フロントページの続き

(51)Int.Cl.
H04N 5/265

識別記号

庁内整理番号
7337-5C

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.